

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083029

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H01L 41/08
 C30B 33/10
 H01L 21/3065
 H01L 29/84
 H01L 41/187
 H01L 41/22
 H03H 9/17

(21)Application number : 07-233065

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.09.1995

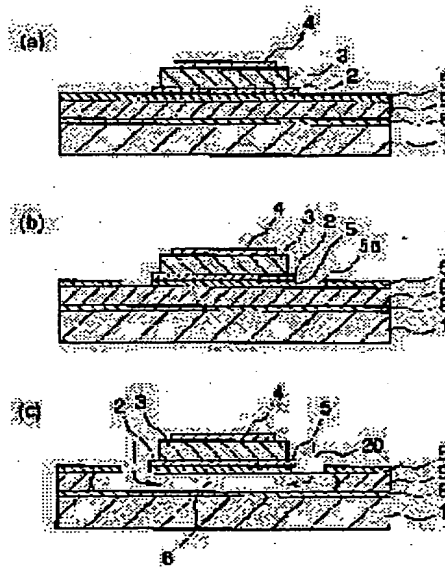
(72)Inventor : HARADA KENICHI
 KURAGAKI TAKESHI
 ISHIHARA OSAMU
 SATO KAZUHIKO
 KUDO SHOKICHI

(54) FABRICATION OF THIN FILM PIEZOELECTRIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for fabricating a thin film piezoelectric element in which a cavity of desired shape having uniform depth can be formed with high controllability even when a compound semiconductor substrate is employed.

SOLUTION: An etching stopper layer 8 and a first semiconductor layer 9, having a higher etching rate than the etching stopper layer 8, are epitaxially grown on a semiconductor substrate 1. An insulation film 5 is then deposited on the first semiconductor layer 9 followed by formation of a first electrode 2, a piezoelectric thin film 3 and a second electrode 4 sequentially at specified regions on the insulation film 5. Subsequently, an opening 5a is made in the vicinity of first electrode 2 and the first semiconductor layer 9 is etched selectively with respect to the etching stopper layer 8 through the opening 5a thus forming a cavity 6 beneath the first electrode 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 41/08			H 0 1 L 41/08	D
C 3 0 B 33/10			C 3 0 B 33/10	
H 0 1 L 21/3065			H 0 1 L 29/84	B
29/84			H 0 3 H 9/17	F
41/187			H 0 1 L 21/302	J
審査請求 未請求 請求項の数15 O L (全 18 頁) 最終頁に続く				

(21) 出願番号 特願平7-233065

(22) 出願日 平成7年(1995)9月11日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 原田 憲一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 倉垣 文志

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 石原 理

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 弁理士 早瀬 憲一

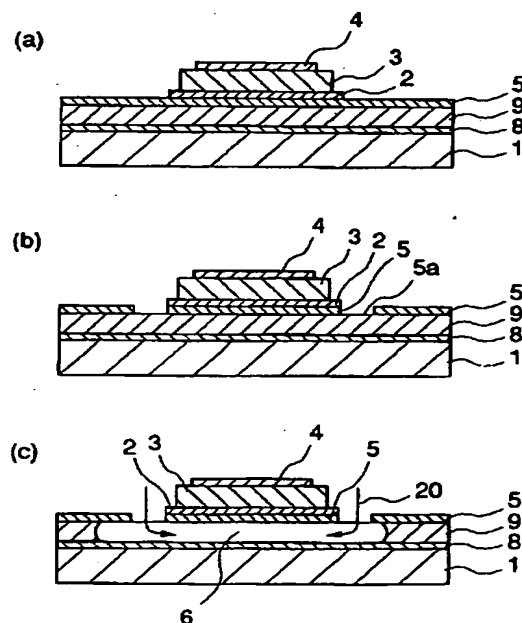
最終頁に続く

(54) 【発明の名称】 薄膜圧電素子の製造方法

(57) 【要約】

【課題】 化合物半導体基板を用いた場合においても、均一な深さを有する所望の形状を備えた空洞部を制御よく形成できる薄膜圧電素子の製造方法を提供することを課題とする。

【解決手段】 半導体基板1上にエッチングストッパ層8と該エッチングストッパ層8よりもエッチングレートの高い、第1の半導体層9を結晶成長により形成した後、第1の半導体層9上に絶縁膜5を形成し、この絶縁膜5上の所定の領域に第1の電極2、圧電体薄膜3、第2の電極4を順次形成し、上記第1の電極2の近傍の絶縁膜5に開口部5aを設け、該開口部5aより上記第1の半導体層9を上記エッチングストッパ層8に対して選択的にエッチングして、第1の電極2の下部に空洞部6を設けた。



20: エッチング

1

【特許請求の範囲】

【請求項 1】 半導体基板上にエッチングストッパ層を形成する工程と、

該エッチングストッパ層上に、該エッチングストッパ層よりもエッチングレートの高い第 1 の半導体層を形成する工程と、

該第 1 の半導体層上の所定の領域に第 1 の電極を形成する工程と、

該第 1 の電極上に圧電体薄膜を形成する工程と、

上記圧電体薄膜上に第 2 の電極を形成する工程と、

上記第 1 の電極と、圧電体薄膜と、第 2 の電極とが重なる領域の下方の上記第 1 の半導体層を、上記第 1 の電極に隣接する領域の上記第 1 の半導体層の表面側から上記エッチングストッパ層に対して選択的にエッチングして空洞部を形成する工程とを備えたことを特徴とする薄膜圧電素子の製造方法。

【請求項 2】 請求項 1 に記載の薄膜圧電素子の製造方法において、

上記第 1 の半導体層を形成した後、該第 1 の半導体層上に絶縁膜を形成する工程と、

該絶縁膜の上記第 1 の電極に隣接する領域に開口部を形成する工程とを含み、

上記エッチングは該絶縁膜の開口部内に露出した上記第 1 の半導体層の表面から行われるものであることを特徴とする薄膜圧電素子の製造方法。

【請求項 3】 半導体基板の表面の一部の領域にイオン注入を行い、イオン注入領域を形成する工程と、

該イオン注入領域上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第 1 の電極を形成する工程と、

該第 1 の電極上に圧電体薄膜を形成する工程と、

上記圧電体薄膜上に第 2 の電極を形成する工程と、

上記イオン注入領域を、その上記第 1 の電極が形成されていない領域の表面から上記基板のイオン注入領域以外の領域に対して選択的にエッチングして空洞部を形成する工程とを含むことを特徴とする薄膜圧電素子の製造方法。

【請求項 4】 請求項 3 に記載の薄膜圧電素子の製造方法において、

上記イオン注入領域を形成した後、上記半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上記イオン注入領域上の上記第 1 の電極が形成されていない領域に開口部を形成する工程とを含み、上記エッチングは、上記絶縁膜の開口部内に露出した上記イオン注入領域の表面から行われるものであることを特徴とする薄膜圧電素子の製造方法。

【請求項 5】 半導体基板の表面の一部の領域に不純物の拡散を行い、拡散領域を形成する工程と、

該拡散領域上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第 1 の電極を形成する工

2

程と、

該第 1 の電極上に圧電体薄膜を形成する工程と、

上記圧電体薄膜上に第 2 の電極を形成する工程と、

上記拡散領域を、その上記第 1 の電極が形成されていない領域の表面から上記基板の拡散領域以外の領域に対して選択的にエッチングして空洞部を形成する工程とを含むことを特徴とする薄膜圧電素子の製造方法。

【請求項 6】 請求項 5 に記載の薄膜圧電素子の製造方法において、

10 上記拡散領域を形成した後、上記半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上記拡散領域上の上記第 1 の電極が形成されていない領域に開口部を形成する工程とを含み、

上記エッチングは該絶縁膜の開口部内に露出した上記拡散領域の表面から行われるものであることを特徴とする薄膜圧電素子の製造方法。

【請求項 7】 半導体基板の表面の一部の領域をエッチングにより除去して凹部を形成する工程と、

20 該凹部を埋込むように、上記半導体基板に対してエッチングレートの高い半導体材料からなる埋込み層を結晶成長させる工程と、

該埋込み層上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第 1 の電極を形成する工程と、

該第 1 の電極上に圧電体薄膜を形成する工程と、

上記圧電体薄膜上に第 2 の電極を形成する工程と、

30 上記埋込み層を、その上記第 1 の電極が形成されていない領域の表面から上記基板に対して選択的にエッチングして空洞部を形成する工程とを含むことを特徴とする薄膜圧電素子の製造方法。

【請求項 8】 請求項 7 に記載の薄膜圧電素子の製造方法において、

上記埋込み層を形成した後、上記半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上記埋込み層上の上記第 1 の電極が形成されていない領域に開口部を形成する工程とを含み、

上記エッチングは該絶縁膜の開口部内に露出した上記埋込み層の表面から行われるものであることを特徴とする薄膜圧電素子の製造方法。

40 【請求項 9】 半導体基板の表面の一部の領域をエッチングにより除去して凹部を形成する工程と、

該凹部を埋込むように、金属または金属酸化物からなる埋込み層を形成する工程と、

該埋込み層上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第 1 の電極を形成する工程と、

該第 1 の電極上に圧電体薄膜を形成する工程と、

上記圧電体薄膜上に第 2 の電極を形成する工程と、

50 上記埋込み層を、その上記第 1 の電極が形成されていない領域の表面から上記基板に対して選択的にエッチング

3

して空洞部を形成する工程とを含むことを特徴とする薄膜圧電素子の製造方法。

【請求項10】 請求項9に記載の薄膜圧電素子の製造方法において、

上記埋込み層を形成した後、上記半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上記埋込み層上の上記第1の電極が形成されていない領域に開口部を形成する工程とを含む、

上記エッチングは該絶縁膜の開口部内に露出した上記埋込み層の表面から行われるものであることを特徴とする薄膜圧電素子の製造方法。

【請求項11】 請求項9に記載の薄膜圧電素子の製造方法において、

上記埋込み層は両性金属または両性金属の酸化物のうちのいずれか一つであり、

上記エッチングは塩基性水溶液からなるエッチャントを用いて行われることを特徴とする薄膜圧電素子の製造方法。

【請求項12】 半導体基板の表面の一部の領域に第1の電極を形成する工程と、

該第1の電極上に圧電体薄膜を形成する工程と、

該圧電体薄膜上に第2の電極を形成する工程と、

該第2の電極の表面の所定の領域に、該第2の電極と、上記圧電体薄膜と、上記第1の電極とを貫通して上記半導体基板の表面に達する深さを備えた複数の貫通孔を形成する工程と、

上記貫通孔を通じて上記基板の表面をエッチングして、上記第1の電極の下部に空洞部を形成する工程とを備えたことを特徴とする薄膜圧電素子の製造方法。

【請求項13】 請求項12に記載の薄膜圧電素子の製造方法において、

上記第1の電極を形成する工程の前工程として、上記半導体基板上に絶縁膜を形成する工程を含み、

上記貫通孔は、該絶縁膜を貫通して上記半導体基板の表面に達するよう形成されていることを特徴とする薄膜圧電素子の製造方法。

【請求項14】 半導体基板の表面の一部の領域に第1の電極を形成する工程と、

該第1の電極上に圧電体薄膜を形成する工程と、

該圧電体薄膜上に第2の電極を形成する工程と、

上記基板の上記第1の電極に隣接する領域の一部を覆うようにレジストを形成する工程と、

上記半導体基板表面の上記第1の電極に隣接する領域の上記レジストに対向する領域から、上記第1の電極下部の上記基板をエッチングする工程と、

上記レジストを除去して、上記エッチングが該レジストが設けられていた上記第1の電極に隣接する領域に達していることを検出する工程とを備えたことを特徴とする薄膜圧電素子の製造方法。

【請求項15】 請求項14に記載の薄膜圧電素子の製

4

造方法において、

上記第1の電極を形成する工程の前に、上記半導体基板上に絶縁膜を形成する工程と、

上記レジストを形成する前に、上記絶縁膜の上記第1の電極に隣接する領域に互いに対向する第1、第2の開口部を形成する工程とを含む、

上記レジストは上記第1の開口部を覆うよう設けられており、

上記エッチングは、上記基板表面の上記第2の開口部内に露出している領域より行われ、

上記検出工程は、上記エッチングが、上記第2の開口部内の領域に達していることを検出して行われるものであることを特徴とする薄膜圧電素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、薄膜圧電素子の製造方法に関し、特に、共振器や、フィルタとして用いることができる薄膜圧電素子の製造方法に関するものである。

【0002】

【従来の技術】 薄膜圧電素子は、圧電材料が電気信号と弾性波との交換作用を行うことを利用して、共振器やフィルタとして動作するようにしたものである。図12は従来の薄膜圧電素子の構造の一例を示す断面図であり、図において、1は厚さが約600 μ m前後であるGaAs等の半導体材料からなる半導体基板、2はその平面形状が一边が70~120 μ mである正方形で、厚さが1000オングストローム程度である第1の電極であり、例えばチタン(Ti)膜と白金(Pt)膜との積層膜(Ti/Pt膜)により構成されている。3は厚さが約1 μ mであるチタン酸鉛(PbTiO₃)からなる圧電体薄膜で、その他の材料としてはAlN、ZnO、CdS、LiNbO₃、及びLiTaO₃等が用いられる。4は、その平面形状が一边が50~100 μ mである正方形で、厚さが約1000オングストロームであるTi/Pt膜等からなる第2の電極、5は厚さが数百~数千オングストロームである酸化シリコン(SiO₂)や窒化シリコン(SiN)等からなる絶縁膜、7は上記第2の電極の下方の領域の基板1に設けられたバイアホールである。

【0003】 次に製造方法について説明する。まず、半導体基板1上にCVD(Chemical Vapor Deposition)やスパッタ法等により絶縁膜5を形成する。次に、該絶縁膜5上の所定の領域にレジスト膜(図示せず)等をマスクとして用いて蒸着、あるいはスパッタ法により第1の電極2を形成し、さらに、同様にして圧電体薄膜3、第2の電極4を第1の電極2上に順次成膜する。

【0004】 その後、基板1の裏面側から、基板1をドライエッチング等によりエッチングして、第2の電極4の下部領域に、基板1の表面に達するバイアホール7を

10

20

30

40

50

形成する。

【0005】次に薄膜圧電素子の動作を、特にフィルタとして動作させる場合について説明する。まず、第1の電極2と第2の電極4とにバイアス電流をかけておき、これに交流変調をかけると、圧電体薄膜3が電極間の電位差に応じて歪み、電源周波数に応じた弾性波を生じる。この弾性波が第1の電極2と第2の電極4との間で反射され共振し、所定の共振周波数の定在波が生じ、所定の周波数の電流のみを取り出すことができる。なお、共振周波数は圧電体薄膜厚に依存し、電極面積にはあまり依存しない。

【0006】このような従来の薄膜圧電素子は、圧電体薄膜として例えば、チタン酸鉛($PbTiO_3$)を使用すると2GHz程度の帯域のフィルタを容易に形成することが可能であるとともに、また、半導体集積回路と薄膜圧電素子とをモノリシックに形成することも可能なものである。

【0007】ここで、圧電体薄膜3を所望の周波数で振動させるためには、第1の電極2と第2の電極4とに挟まれた領域の圧電体薄膜3の下方領域の基板1の表面を除去した構造とする必要がある。そのような構造を得るために、従来の薄膜圧電素子においては、第1の電極2の下に基板1にパイアホール7を形成していた。しかしながら、このようにパイアホール7を設けるためには、裏面から基板をエッチングする必要があるため、裏面を加工する工程が必要となり、製造方法が複雑化し、工程の長期化、コストの増大を招くという問題があった。また、基板1にパイアホール7が形成されることにより、素子の強度が低下するという問題があった。

【0008】図13はこのような問題点を解消するために形成された、従来の他の薄膜圧電素子の構造を示す平面図(図13(a))、Vb-Vb線による断面図(図13(b))、及びVc-Vc線による断面図(図13(c))である。図において、図12と同一符号は同一又は相当する部分を示しており、5aは絶縁膜5の第1の電極2に隣接する位置に設けられた開口部、6は第1の電極2の下方に設けられた空洞部である。

【0009】この薄膜圧電素子は、上記従来の薄膜圧電素子と同様に、半導体基板1上に、絶縁膜5、第1の電極2、圧電体薄膜3、第2の電極4を形成した後、写真製版技術を用いて、第1の電極2に隣接する位置に開口部を有するレジスト(図示せず)を形成し、このレジストをマスクとして、RIE(Reactive Ion Etching:反応性イオンエッチング)等の方法を用いて絶縁膜5に開口部5aを設け、この開口部5aから、基板1をウェットエッチング、あるいは等方性ドライエッチングして空洞部6を設けるようにして形成される。なお、開口部5aは第1の電極2の形成前に設けることも可能である。

【0010】この薄膜圧電素子においては、第1の電極2の下部の基板1を除去する方法として、基板1の表面

側から基板1の表面近傍部をエッチングにより除去する方法を用いているため、図12に示した従来の薄膜圧電素子の製造方法のように、パイアホールを形成するために基板1の裏面側を加工する工程が不要となるとともに、基板1を貫通するパイアホールを設けないため、素子強度に優れた薄膜圧電素子を得ることができる。

【0011】しかしながら、このような従来の他の薄膜圧電素子においては、基板1をエッチングする際に、等方性のエッチングをおこなうが、エッチングが、基板1の表面と平行な方向のみに進まず、深さ方向においても進行していくため、エッチングの制御性が悪く、空洞部6の形状、特に深さが位置によってばらついてしまい、所望の特性を備えた薄膜圧電素子を得ることができないとともに、均一な特性を備えた薄膜圧電素子を得ることができないという問題があった。

【0012】一方、このような空洞部6の形状を制御性よく得るための薄膜圧電素子の製造方法が特開昭60-92672号公報に開示されている。図14はこの従来の薄膜圧電素子の製造方法を示す図であり、図において、101はシリコン基板、102はシリコン窒化膜、103は多孔質シリコン層、103aは該多孔質シリコン層103が酸化されてなる二酸化シリコン層、104はシリコン窒化膜、104aは該シリコン窒化膜104の開口部、105は第1の電極、106は圧電体薄膜、107は第2の電極、108は空洞部である。

【0013】次に、この従来の薄膜圧電素子の製造方法について説明する。まず、図14(a)に示すように、シリコン基板101上に所定の領域に平面形状が正方形である開口部を有するシリコン窒化膜102を形成し、フッ化水素(HF)20~50%溶液中で陽極化成すると、シリコン窒化膜102で覆われていないシリコン基板101の表面から内部に向かって多孔質シリコン層103が形成される。シリコン窒化膜102を除去した後、さらに基板101の表面全体にシリコン窒化膜104を形成し、多孔質シリコン層103の平面形状における3辺に沿ってシリコン窒化膜104を所定幅で除去して、多孔質シリコン層103を部分的に露出させる。続いて、高圧酸化炉において基板101を酸化させて、多孔質シリコン層103を二酸化シリコン層103aとする(図14(b))。次に、上記二酸化シリコン層103a上の領域を含むシリコン窒化膜104上に第1の電極105を形成し、さらに、上記二酸化シリコン層103a上の領域の第1の電極105上に圧電体薄膜106、第2の電極107を順次形成し、二酸化シリコン層103aをフッ化水素溶液でエッチングして、第1の電極105と、圧電体薄膜106と、第2の電極107とが重なる領域の下部に空洞部108を形成する。

【0014】このような従来の薄膜圧電素子の製造方法によれば、空洞部を制御性よく形成することができるため、所望の特性を備えた薄膜圧電素子を再現性よく得る

10

20

30

40

50

7

ことが可能である。

【0015】

【発明が解決しようとする課題】ところが、このような従来の薄膜圧電素子の製造方法は、第1の電極105と、圧電体薄膜106と、第2の電極107とが重なる領域の下部の基板101を除去できるようにするために、陽極化成と、酸化とを組み合わせで行っているが、このような陽極化成による多孔質化はSi基板には適用できるものではあるが、その他の基板、例えば化合物半導体からなる基板には適用できない汎用性のない方法であり、従って、このような従来の方法では、化合物半導体基板を用いた薄膜圧電素子において、位置によるばらつきの少ない均一な深さを有する、所望の形状の空洞部を制御性よく形成することができないという問題があった。

【0016】この発明は上記のような問題点を解消するためになされたものであり、化合物半導体基板を用いた場合においても、均一な深さを有する所望の形状を備えた空洞部を制御性よく形成できる薄膜圧電素子の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】この発明に係る薄膜圧電素子の製造方法は、半導体基板上にエッチングストップ層を形成する工程と、該エッチングストップ層上に、該エッチングストップ層よりもエッチングレートの高い第1の半導体層を形成する工程と、該第1の半導体層上の所定の領域に第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、上記圧電体薄膜上に第2の電極を形成する工程と、上記第1の電極と、圧電体薄膜と、第2の電極とが重なる領域の下方の上記第1の半導体層を、上記第1の電極に隣接する領域の上記第1の半導体層の表面側から上記エッチングストップ層に対して選択的にエッチングして空洞部を形成する工程とを備えるようにしたものである。

【0018】また、上記薄膜圧電素子の製造方法において、上記第1の半導体層を形成した後、該第1の半導体層上に絶縁膜を形成する工程と、該絶縁膜の上記第1の電極に隣接する領域に開口部を形成する工程とを含み、上記エッチングは該絶縁膜の開口部内に露出した上記第1の半導体層の表面から行うようにしたものである。

【0019】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域にイオン注入を行い、イオン注入領域を形成する工程と、該イオン注入領域上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、上記圧電体薄膜上に第2の電極を形成する工程と、上記イオン注入領域を、その上記第1の電極が形成されていない領域の表面から上記基板のイオン注入領域以外の領域に対して選択的にエッチングして空洞部を形成する工程とを

8

含むようにしたものである。

【0020】また、上記薄膜圧電素子の製造方法において、上記イオン注入領域を形成した後、上記半導体基板上に絶縁膜を形成する工程と、該絶縁膜の上記イオン注入領域上の上記第1の電極が形成されていない領域に開口部を形成する工程とを含み、上記エッチングは、上記絶縁膜の開口部内に露出した上記イオン注入領域の表面から行うようにしたものである。

【0021】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域に不純物の拡散を行い、拡散領域を形成する工程と、該拡散領域上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、上記圧電体薄膜上に第2の電極を形成する工程と、上記拡散領域を、その上記第1の電極が形成されていない領域の表面から上記基板の拡散領域以外の領域に対して選択的にエッチングして空洞部を形成する工程とを含むようにしたものである。

【0022】また、上記薄膜圧電素子の製造方法において、上記拡散領域を形成した後、上記半導体基板上に絶縁膜を形成する工程と、該絶縁膜の上記拡散領域上の上記第1の電極が形成されていない領域に開口部を形成する工程とを含み、上記エッチングは該絶縁膜の開口部内に露出した上記拡散領域の表面から行うようにしたものである。

【0023】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域をエッチングにより除去して凹部を形成する工程と、該凹部を埋込むように、上記半導体基板に対してエッチングレートの高い半導体材料からなる埋込み層を結晶成長させる工程と、該埋込み層上の一部の領域上と、該一部の領域に隣接する上記半導体基板の領域上とに第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、上記圧電体薄膜上に第2の電極を形成する工程と、上記埋込み層を、その上記第1の電極が形成されていない領域の表面から上記基板に対して選択的にエッチングして空洞部を形成する工程とを含むようにしたものである。

【0024】また、上記薄膜圧電素子の製造方法において、上記埋込み層を形成した後、上記半導体基板上に絶縁膜を形成する工程と、該絶縁膜の上記埋込み層上の上記第1の電極が形成されていない領域に開口部を形成する工程とを含み、上記エッチングは該絶縁膜の開口部内に露出した上記埋込み層の表面から行うようにしたものである。

【0025】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域をエッチングにより除去して凹部を形成する工程と、該凹部を埋込むように、金属または金属酸化物からなる埋込み層を形成する工程と、該埋込み層上の一部の領域上と、該一部の領

10

20

30

40

50

9

域に隣接する上記半導体基板の領域上とに第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、上記圧電体薄膜上に第2の電極を形成する工程と、上記埋込み層を、その上記第1の電極が形成されていない領域の表面から上記基板に対して選択的にエッチングして空洞部を形成する工程とを含むようにしたものである。

【0026】また、上記薄膜圧電素子の製造方法において、上記埋込み層を形成した後、上記半導体基板上に絶縁膜を形成する工程と、該絶縁膜の上記埋込み層上の上記第1の電極が形成されていない領域に開口部を形成する工程とを含み、上記エッチングは該絶縁膜の開口部内に露出した上記埋込み層の表面から行うようにしたものである。

【0027】また、上記薄膜圧電素子の製造方法において、上記埋込み層は両性金属または両性金属の酸化物のうちのいずれか一つであり、上記エッチングは塩基性水溶液からなるエッチャントを用いて行うようにしたものである。

【0028】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域に第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、該圧電体薄膜上に第2の電極を形成する工程と、該第2の電極の表面の所定の領域に、該第2の電極と、上記圧電体薄膜と、上記第1の電極とを貫通して上記半導体基板の表面に達する深さを備えた複数の貫通孔を形成する工程と、上記貫通孔を通じて上記基板の表面をエッチングして、上記第1の電極の下部に空洞部を形成する工程とを備えるようにしたものである。

【0029】また、上記薄膜圧電素子の製造方法において、上記第1の電極を形成する工程の前工程として、上記半導体基板上に絶縁膜を形成する工程を含み、上記貫通孔は、該絶縁膜を貫通して上記半導体基板の表面に達するよう形成するようにしたものである。

【0030】また、この発明に係る薄膜圧電素子の製造方法は、半導体基板の表面の一部の領域に第1の電極を形成する工程と、該第1の電極上に圧電体薄膜を形成する工程と、該圧電体薄膜上に第2の電極を形成する工程と、上記基板の上記第1の電極に隣接する領域の一部を覆うようにレジストを形成する工程と、上記半導体基板表面の上記第1の電極に隣接する領域の上記レジストに対向する領域から、上記第1の電極下部の上記基板をエッチングする工程と、上記レジストを除去して、上記エッチングが該レジストが設けられていた上記第1の電極に隣接する領域に達していることを検出する工程とを備えるようにしたものである。

【0031】また、上記薄膜圧電素子の製造方法において、上記第1の電極を形成する工程の前に、上記半導体基板上に絶縁膜を形成する工程と、上記レジストを形成する前に、上記絶縁膜の上記第1の電極に隣接する領域

10

に互いに対向する第1、第2の開口部を形成する工程とを含み、上記レジストは上記第1の開口部を覆うよう設けられており、上記エッチングは、上記基板表面の上記第2の開口部内に露出している領域より行われ、上記検出工程は、上記エッチングが、上記第2の開口部内の領域に達していることを検出して行うようにしたものである。

【0032】

【発明の実施の形態】

10 実施の形態1. この発明の実施の形態1に係る薄膜圧電素子の製造方法(図2)は、半導体基板(1)上にエッチングストップ層(8)を形成する工程と、該エッチングストップ層(8)上に、該エッチングストップ層(8)よりもエッチングレートの高い第1の半導体層(9)を形成する工程と、該第1の半導体層(9)上の所定の領域に第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、上記圧電体薄膜(3)上に第2の電極(4)を形成する工程と、上記第1の電極(2)と、圧電体薄膜(3)と、第2の電極(4)とが重なる領域の下方の上記第1の半導体層(9)を、上記第1の電極(2)に隣接する領域(5a)の上記第1の半導体層(9)の表面側から上記エッチングストップ層(8)に対して選択的にエッチング(20)して空洞部(6)を形成する工程とを備える構成としたものであり、これにより、化合物半導体基板を用いた場合においても、空洞部(6)を形成する際のエッチングを第1の半導体層(9)の深さ方向においてエッチングストップ層(8)で止めることができ、均一な深さを有する空洞部(6)を制御性よく形成できる薄膜圧電素子の製造方法を提供できる作用効果がある。

【0033】実施の形態2. また、この発明の実施の形態2に係る薄膜圧電素子の製造方法(図4)は、半導体基板(1)の表面の一部の領域にイオン注入(21)を行い、イオン注入領域(10)を形成する工程と、該イオン注入領域(10)上の一部の領域上と、該一部の領域に隣接する上記半導体基板(1)の領域上とに第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、上記圧電体薄膜(3)上に第2の電極(4)を形成する工程と、上記イオン注入領域(10)を、その上記第1の電極(2)が形成されていない領域(5a)の表面から上記基板(1)のイオン注入領域(10)以外の領域に対して選択的にエッチングして空洞部(6)を形成する工程とを含む構成としたものであり、これにより、化合物半導体基板を用いた場合においても、イオン注入領域(10)を基板(1)に対して選択的にエッチングして空洞部(6)を形成することができ、均一な深さを有する所望の形状を備えた空洞部(6)を制御性よく形成できる薄膜圧電素子の製造方法を提供できる作用効果がある。

11

【0034】実施の形態3. また、この発明の実施の形態3に係る薄膜圧電素子の製造方法(図5)は、半導体基板(1)の表面の一部の領域に不純物の拡散(22)を行い、拡散領域(11)を形成する工程と、該拡散領域(11)上の一部の領域上と、該一部の領域に隣接する上記半導体基板(1)の領域上とに第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、上記圧電体薄膜(3)上に第2の電極(4)を形成する工程と、上記拡散領域(11)を、その上記第1の電極(2)が形成されていない領域(5a)の表面から上記基板(1)の拡散領域(11)以外の領域に対して選択的にエッチングして空洞部(6)を形成する工程とを含む構成としたものであり、これにより、化合物半導体基板を用いた場合においても、拡散領域(11)を基板(1)に対して選択的にエッチングして空洞部(6)を形成することができ、均一な深さを有する所望の形状を備えた空洞部(6)を制御性よく形成できる薄膜圧電素子の製造方法を提供できる作用効果がある。

【0035】実施の形態4. また、この発明の実施の形態4に係る薄膜圧電素子の製造方法(図6)は、半導体基板(1)の表面の一部の領域をエッチングにより除去して凹部(25)を形成する工程と、該凹部(25)を埋込むように、上記半導体基板(1)に対してエッチングレートの高い半導体材料からなる埋込み層(12)を結晶成長させる工程と、該埋込み層(12)上の一部の領域上と、該一部の領域に隣接する上記半導体基板

(1)の領域上とに第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、上記圧電体薄膜(3)上に第2の電極(4)を形成する工程と、上記埋込み層(12)を、その上記第1の電極(2)が形成されていない領域(5a)の表面から上記基板(1)に対して選択的にエッチングして空洞部(6)を形成する工程とを含む構成としたものであり、これにより、化合物半導体基板を用いた場合においても、埋込み層(12)を基板(1)に対して選択的にエッチングして空洞部(6)を形成することができ、均一な深さを有する所望の形状を備えた空洞部(6)を制御性よく形成できる薄膜圧電素子の製造方法を提供できる作用効果がある。

【0036】実施の形態5. また、この発明の実施の形態5に係る薄膜圧電素子の製造方法(図7)は、半導体基板(1)の表面の一部の領域をエッチングにより除去して凹部(25)を形成する工程と、該凹部(25)を埋込むように、金属または金属酸化物からなる埋込み層(14)を形成する工程と、該埋込み層(14)上の一部の領域上と、該一部の領域に隣接する上記半導体基板(1)の領域上とに第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、上記圧電体薄膜(3)上に第2の電極(4)

12

を形成する工程と、上記埋込み層(14)を、その上記第1の電極(1)が形成されていない領域(5a)の表面から上記基板に対して選択的にエッチングして空洞部(6)を形成する工程とを含む構成としたものであり、これにより、化合物半導体基板を用いた場合においても、埋込み層(14)を基板(1)に対して選択的にエッチングして空洞部(6)を形成することができ、均一な深さを有する所望の形状を備えた空洞部(6)を制御性よく形成できる薄膜圧電素子の製造方法を提供できる作用効果がある。

【0037】実施の形態6. また、この発明の実施の形態6に係る薄膜圧電素子の製造方法(図9)は、半導体基板(1)の表面の一部の領域に第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、該圧電体薄膜(3)上に第2の電極(4)を形成する工程と、該第2の電極(4)の表面の所定の領域に、該第2の電極(4)と、上記圧電体薄膜(3)と、上記第1の電極(2)とを貫通して上記半導体基板(1)の表面に達する深さを備えた複数の貫通孔(15)を形成する工程と、上記貫通孔(15)を通じて上記基板(1)の表面をエッチング(23)して、上記第1の電極(2)の下部に空洞部(6)を形成する工程とを備える構成としたものであり、これにより、複数の貫通孔15を通じて第1の電極(2)の下部の基板(1)をエッチングすることができ、短時間で空洞部(6)を形成することができ、深さが均一である空洞部(6)を得ることができるとともに、基板(1)の表面と平行な方向における大きさ(サイドエッチング量)の小さい空洞部(6)を備えた薄膜圧電素子を得ることが可能な薄膜圧電素子の製造方法を提供できる作用効果がある。

【0038】実施の形態7. また、この発明の実施の形態7に係る薄膜圧電素子の製造方法(図10)は、半導体基板(1)の表面の一部の領域に第1の電極(2)を形成する工程と、該第1の電極(2)上に圧電体薄膜(3)を形成する工程と、該圧電体薄膜(3)上に第2の電極(4)を形成する工程と、上記基板(1)の上記第1の電極(2)に隣接する領域の一部(5c)を覆うようにレジスト(24)を形成する工程と、上記半導体基板(1)表面の上記第1の電極(2)に隣接する領域の上記レジストに対向する領域(5b)から、上記第1の電極(2)下部の上記基板(1)をエッチングする工程と、上記レジスト(24)を除去して、上記エッチングが該レジスト(24)が設けられていた上記第1の電極(2)に隣接する領域(5c)に達していることを検出する工程とを備える構成としたものであり、これにより、エッチングが第1の電極(2)に隣接する領域(5c)に達していることを確認することで、空洞部(6)の形成を容易に確認することができる作用効果がある。

【0039】

13

【実施例】

実施例1. 図1は本発明の実施例1による薄膜圧電素子の製造方法により製造された薄膜圧電素子の構造を示す平面図(図1(a)), I b-I b線による断面図(図1(b)), 及びI c-I c線による断面図(図1(c))である。図において、1は厚さが約600 μ mである半導体基板、8は厚さが数十〜数百オングストロームであるエッチングストップ層、9は厚さが1000オングストローム〜数 μ mで、所定のエッチング方法に対しては該エッチングストップ層8よりもエッチングレートが高い第1の半導体層である。本実施例1においては、特に半導体基板1、及び第1の半導体層9の材料としてはGaAsを用い、エッチングストップ層8の材料としてはInGaAs, またはAlGaAsを用いている。2はその平面形状が一辺が70〜120 μ mである正方形で、厚さが1000オングストローム程度である第1の電極で、例えばTi膜とPt膜との積層膜(Ti/Pt膜)により構成されている。3は厚さが約1 μ mであるチタン酸鉛(PbTiO₃)からなる圧電体薄膜で、その他の材料としてはAlN, ZnO, CdS, LiNbO₃, 及びLiTaO₃等を用いてもよい。4は、厚さが約1000オングストロームで、その平面形状は一辺が50〜100 μ mである正方形であるTi/Pt膜等からなる第2の電極、5は厚さが数百〜数千オングストロームであるSiO₂やSiN等からなる絶縁膜、5aはこの絶縁膜5の第1の電極1に隣接する領域に形成された開口部である。なお、この絶縁膜5は基板1表面の劣化等を防止するために設けられているもので、この絶縁膜5を設けない構造の薄膜圧電素子としてもよい。6は上記第2の電極と圧電体薄膜3と第1の電極2とが重なる領域の下方の第1の半導体層9に設けられた空洞部である。

【0040】また、図2は実施例1による薄膜圧電素子の製造方法を示す断面図であり、図において、図1と同一符号は同一または相当する部分を示しており、20はエッチングを示している。

【0041】次に製造方法について説明する。まず、半導体基板1上にエッチングストップ層8、第1の半導体層9をMOCVD法等を用いて結晶成長させ、続いて、第1の半導体層9上に、CVDやスパッタ法により絶縁膜5を形成する。次に、該絶縁膜5上の所定の領域に蒸着、あるいはスパッタ法により第1の電極2を形成し、さらに、同様に蒸着あるいはスパッタ法により圧電体薄膜3、第2の電極4を第1の電極2上に順次成膜する(図2(a))。

【0042】その後、絶縁膜5、第1の電極2、圧電体薄膜3、及び第2の電極4の上部をレジスト(図示せず)で覆い、写真製版技術を用いて第1の電極2に隣接する領域の該レジストを除去し、該レジストをマスクとして絶縁膜5をRIE(Reactive Ion Etching: 反応性

14

イオンエッチング)等により除去して開口部5aを設ける(図2(b))。本実施例1においては、この開口部5aを、第1の電極2を介した対向する2つの領域に設けている。なお、この開口部5aは絶縁膜5を形成した直後に予め形成しておくようにしてもよい。

【0043】続いて、上記レジストを除去した後、あるいは除去せず残したまま、SiN等の絶縁膜5を選択マスクとして第1の半導体層9をエッチングして空洞部6を形成して薄膜圧電素子を得る(図2(c))。このエッチングとしては酒石酸と過酸化水素水とを適当な混合比で混合してなる混合液を用いたウェットエッチングや、エッチング条件を等方性エッチングになるように調整したECR(Electron Cyclotron Resonance)エッチングやRIE等のドライエッチングのうちの第1の半導体層9とエッチングストップ層8との間で十分に選択性を有するエッチング方法が用いられる。このエッチングにおいては、深さ方向にエッチングレートの遅いエッチングストップ層8が設けられているため、深さ方向に対してはこのエッチングストップ層8の位置でエッチングは停止する。なお、このとき、絶縁膜5を有さない構造の薄膜圧電素子を得る場合には、上記第1の半導体層9のエッチングの際には、エッチングしない部分をレジスト等のマスクにより覆っておくようにする。

【0044】次に、薄膜圧電素子の動作について説明する。まず、第1の電極2と第2の電極4とにバイアス電流をかけておき、これに交流変調をかけると、圧電体薄膜3が電極間の電位差に応じて歪み、交流変調に応じた弾性波を生じる。この弾性波が第1の電極2と第2の電極4との間で反射され共振し、所定の共振周波数の定在波が生じ、所定の周波数の電流のみを取り出すことができる。

【0045】本実施例1の薄膜圧電素子の製造方法においては、半導体基板1上にエッチングストップ層8と第1の半導体層9を設けており、上記第1の半導体層9を絶縁膜5の開口部5aからエッチングして空洞部6を設けるようにしているので、本来、第1の半導体層9の深さ方向にも、第1の半導体層9の表面と平行な方向にも同じエッチングレートで進行するエッチングが、深さ方向においては、エッチングストップ層8で止まるため、エッチングがエッチングストップ層8に達すると、その後は、ほとんど基板1の表面と平行な横方向にのみ進行し、その結果、第1の電極2の下方の第1の半導体層9に対して、深さ方向の制御性のよいエッチングを行うことができる。これにより、第1の半導体層9の厚さを調整しておくことにより、深さが均一であるとともに、所望の深さを備えた空洞部6を形成することができる。なお、このエッチングは、基板1の表面と平行な方向においては第1の電極2の下部の領域方向以外の方向にも進行するので、上記開口部5aの大きさや形成する位置は、できるだけ第1の電極2の下部の領域近傍の第1の

15

半導体層9のみに開口部5aが形成されるよう調整しておくことが望ましい。

【0046】また、本実施例1においては、第1の半導体層9が薄膜圧電素子の基板の一部として機能するが、第1の半導体層9とエッチングレートが異なるエッチングストップ層8を用いることにより、空洞部6を形成する第1の半導体層9が、GaAs等の化合物半導体であってもシリコンであっても深さ方向に制御性良く空洞部6を形成することができる。

【0047】このように本実施例1によれば、半導体基板1上にエッチングストップ層8と該エッチングストップ層8に対してエッチングレートの高い第1の半導体層9を形成し、第1の半導体層9上に絶縁膜5を形成し、絶縁膜5の所定の領域上に第1の電極2、圧電体薄膜3、第2の電極4を形成し、第1の電極2の近傍の絶縁膜5に開口部5aを設けた後、上記第1の半導体層9を絶縁膜5の開口部5aからエッチングして空洞部6を設けるようにしたから、薄膜圧電素子の基板の一部として機能する第1の半導体層9が化合物半導体からなる場合においても、均一な所望の深さを備えた空洞部6を備えた薄膜圧電素子を得ることができる。

【0048】実施例2。図3は本発明の実施例2による薄膜圧電素子の製造方法を用いて製造された薄膜圧電素子の構造を示す平面図(図3(a))、III b-III b線による断面図(図3(b))、及びIII c-III c線による断面図(図3(c))である。図において、図1と同一符号は同一または相当する部分を示している。

【0049】また、図4は本発明の実施例2による薄膜圧電素子の製造方法を示す断面図であり、図において、図2と同一符号は同一または相当する部分を示しており、10はイオン注入領域、13はレジスト、21はイオン注入である。

【0050】この発明の実施例3に係る薄膜圧電素子の製造方法は、上記実施例1において図2に示した薄膜圧電素子の製造方法において、エッチングストップ層8、第1の半導体層9を設けて空洞部6の形状を制御する代わりに、予め、基板1の空洞部6を形成する領域に、あらかじめイオン注入をして、被注入領域と注入されていない領域のエッチングレートの差を発生させておき、このイオン注入した領域に選択エッチングを行い空洞部6を形成するようにしたものである。

【0051】次に製造方法について説明する。まず、図4(a)に示すように、基板1の表面に写真製版技術を用いて、空洞部6を形成する領域上に開口部を有するレジスト13を形成し、このレジスト13をマスクとして、基板1の上方よりアルゴン(Ar)や、ホウ素(B)や、水素(H)や、酸素(O)等のイオン注入21を行い、イオン注入領域10を形成する。この注入は、数十keVから数百keVのエネルギーで数回にわけて、およそ 10^{15} cm^{-2} 以上の高ドーズ量となるように行われ

16

る。このイオン注入の深さは作製しようとする空洞部6の深さと同じ深さ、例えば $0.5 \mu\text{m}$ 程度とする。

【0052】続いて、レジスト13を除去した後、基板1の表面に絶縁膜5を形成し、上記イオン注入領域10上の領域を含む領域上に、スパッタ法等により第1の電極2を形成し、さらに、第1の電極2上のイオン注入領域10上の領域にスパッタ法等により、圧電体薄膜3、及び第2の電極4を順次形成する(図4(b))。この時、イオン注入領域10上の一部の領域上には第1の電極2を形成しないようにする。本実施例2においては、一例として、第1の電極2をイオン注入領域10を所定の方

向においてまたぐように形成するとともに、上記所定の方

向と垂直な両側部においてはイオン注入領域10を完全に覆わないように形成している。

【0053】その後、写真製版技術によりパターンニングしたレジスト(図示せず)を用いて、RIE等により、イオン注入領域10上の上記第1の電極2により覆われていない領域の絶縁膜5を除去して、開口部5aを形成する(図4(c))。なお、この開口部5aは絶縁膜5を形成した直後に形成しておくようにしてもよい。

【0054】さらに、上記レジストを除去した後、あるいは除去せず残したまま、上記絶縁膜5をマスクとして酒石酸と過酸化水素水との混合液を用いて基板1のウェットエッチングを行い、第2の電極4と圧電体薄膜3と第1の電極2とが重なる領域の下部の基板1の表面近傍をエッチングして、空洞部6を形成する(図4(d))。

【0055】ここで、本実施例2においては、基板1のイオン注入領域10には、イオン注入されることにより、結晶欠陥が導入され、イオン注入領域10とイオン注入されていない領域とのエッチングレートが異なるものとなっている。そのため、適当な選択性を有するエッチング液を用いたウェットエッチングを行うと、イオン注入領域10を基板1のイオン注入されていない領域に対して、選択的にエッチングできる。例えば、基板1としてGaAs基板を用いる場合は、上記のように酒石酸と過酸化水素水の混合液等を用い、その混合比等のエッチング条件を調整することにより、イオン注入領域10を選択的に制御性良くエッチングすることができる。従って、上記実施例1においては、エッチングを深さ方向

10

20

30

40

50

17

【0056】また、本実施例2においては、基板1の表面の一部にイオン注入領域10を形成してイオン注入領域とイオン注入されていない領域との間でエッチングレート差を設けるようにし、これを利用して選択的なエッチングを行うようにしているため、空洞部6を形成する半導体基板1が、GaAs等の化合物半導体であってもシリコンであっても形状の制御性良く空洞部6を形成することができる。

【0057】このように本実施例2においては、基板1の空洞部6を形成する領域にイオン注入を行いイオン注入領域10を形成しておき、第1の電極2、圧電体薄膜3、第2の電極4を形成した後、上記イオン注入領域10を選択的にエッチングして除去するようにしたから、エッチングの進行を基板1の深さ方向、及び基板1の表面と平行な横方向に対して制御することができ、制御性よく基板1をエッチングすることができ、化合物半導体基板を用いた場合においても、均一な深さを備えた所望の形状の空洞部を備えた薄膜圧電素子を得ることができる効果がある。

【0058】実施例3. 図5は本発明の実施例3による薄膜圧電素子の製造方法を示す断面工程図であり、図において、図4と同一符号は同一または相当する部分を示しており、22は不純物の拡散、11は該拡散22により形成された拡散領域を示している。

【0059】本実施例3の薄膜圧電素子の製造方法は、上記実施例2において説明した薄膜圧電素子の製造方法において、基板1の空洞部6を形成する領域に予めイオン注入領域10を形成しておく代わりに、不純物の拡散22により拡散領域11を形成しておき、この拡散領域11を選択的にエッチングして空洞部6を形成するようにしたものである。

【0060】次に製造方法について説明する。まず、図5(a)に示すように、基板1の表面に、空洞部6を形成する領域上に開口部を有するSiN等の絶縁膜からなる拡散マスク16を形成し、この拡散マスク16をマスクとして、基板1の上方よりZn等の不純物を含むガスをを用いて不純物の拡散22を行い、拡散領域11を形成する。この拡散深さは約0.5 μ m～数 μ mとする。なお、この拡散22としては、不純物を含むガスをを用いた気相拡散の代わりに、固相拡散させるようにしてもよい。固相拡散させる場合には、まず、不純物、例えばZnを拡散させたい領域にZnO膜とSiO₂膜を順次スパッタ法により形成し、基板1を600℃前後で1～10数時間程度保持することにより拡散させることができる。

【0061】続いて、拡散マスク16を除去した後、上記実施例2と同様に、図5(b)に示すようにスパッタ法や、蒸着等により第1の電極2、圧電体薄膜3、及び第2の電極4を順次形成し、次に、図5(c)に示すように、RIE等により、拡散領域11上の第1の電極2に

18

より覆われていない領域の絶縁膜5を除去して開口部5aを形成し、さらに、開口部5a内に露出した拡散領域11の表面からエッチングを行い、拡散領域11を選択的に除去して空洞部6を形成する(図5(d))。このエッチャントとしては、上記実施例2と同様のものが用いられ、例えば、基板1がGaAsからなる時は酒石酸と過酸化水素水との混合液等が用いられる。

【0062】ここで、本実施例3においても、拡散領域11には、拡散により結晶欠陥が導入されるため、拡散領域11と拡散されていない領域とのエッチングレートが異なるものとなっている。そのため、適当な選択性を有するエッチング液を用いたウェットエッチングを行うと、上記実施例2と同様に、拡散領域11を基板1の拡散されていない領域に対して、選択的にエッチングが可能とすることができる。また、拡散領域11を基板1のその他の領域に対して選択的にエッチングできるエッチング方法であれば、例えばドライエッチング等のその他のエッチング方法を用いるようにしてもよい。

【0063】また、本実施例3においては、基板1の表面の一部に不純物の拡散領域11を形成して拡散領域と拡散されていない領域との間でエッチングレート差を設けるようにし、これを利用して選択的なエッチングを行うようにしているため、空洞部6を形成する半導体基板1が、GaAs等の化合物半導体であってもシリコンであっても制御性良く空洞部6を形成することができる。

【0064】このように本実施例3においては、基板1の空洞部6を形成する領域に拡散を行い拡散領域11を形成しておき、第1の電極2、圧電体薄膜3、及び第2の電極4を形成した後、上記拡散領域11を選択的にエッチングして除去するようにしたから、エッチングの進行を基板1の深さ方向、及び基板1の表面と平行な横方向に対して制御することができ、化合物半導体基板を用いた場合においても、制御性よく基板1をエッチングして、均一な深さを備えた所望の形状の空洞部6を備えた薄膜圧電素子を得ることができる効果がある。

【0065】実施例4. 図6は本発明の実施例4による薄膜圧電素子の製造方法を示す断面工程図であり、図において、図4と同一符号は同一または相当する部分を示しており、17はSiN等からなる選択成長マスク、12は基板1に対して所定のエッチングにより選択的なエッチング除去が可能な半導体材料からなる埋込み層、25は凹部である。

【0066】本実施例4の薄膜圧電素子の製造方法は、上記実施例2において説明した薄膜圧電素子の製造方法において、基板1の空洞部6を形成する領域に予めイオン注入領域10を形成しておく代わりに、基板1の空洞部6を形成する領域を予めエッチングにより除去し、これを埋め込むように半導体材料からなる埋込み層17を形成しておき、この埋込み層17を第1の電極2、圧電体薄膜3、及び第2の電極4を形成した後に、基板1に

19

対して選択的にエッチングして空洞部6を形成するようにしたものである。

【0067】次に製造方法について説明する。まず、図6(a)に示すように、基板1の表面に、空洞部6を形成する領域上に開口部を有する選択成長マスク17を形成し、この選択成長マスク17をマスクとしてエッチングを行い、空洞部6を形成する領域の基板1を除去して深さが約0.5 μ m～数 μ mである凹部25を形成する

(図6(b))。なお、凹部25の底面の形状はできるだけモフォロジーが良好となるようにエッチングを行うようにする。次に、この基板1の凹部25を埋め込むように、MOCVD法等を用い、上記選択成長マスク17をマスクとして埋込み層12を結晶成長させる(図6(c))。この時、選択成長マスク17上には結晶成長は起こらない。

【0068】続いて、選択成長マスク17を除去した後、上記実施例2と同様に、図6(d)に示すようにスパッタ法や、蒸着等により第1の電極2、圧電体薄膜3、及び第2の電極4を順次形成し、次に、図6(e)に示すように、RIE等により、埋込み層12上の第1の電極2により覆われていない領域の絶縁膜5を除去して、開口部5aを形成し、さらに、開口部5a内に露出した埋込み層12の表面からエッチングを行い、埋込み層12を選択的に除去して、空洞部6を形成する。

【0069】ここで、本実施例4においては、埋込み層12として、半導体基板1に対して、エッチングレートが異なる材料からなる層が空洞部6となる領域に予め埋め込まれているため、適当な選択性を有するエッチング液を用いたウエットエッチングを行うと、埋込み層12を基板1に対して選択的にエッチングが可能とすることができる。例えば、基板1としてGaAsを用いている場合、埋込み層12としてAlGaAsやInGaAsを用いると、HCl系のエッチャントにより選択的にエッチングが可能である。但し、この時、圧電体薄膜3としてチタン酸鉛(PbTiO₃)を用いるとこの圧電体薄膜3もエッチングされてしまうので、圧電体薄膜3の外部に露出している部分はレジスト等で覆っておく必要がある。また、基板1としてGaAsを用いている場合、埋込み層12としてAlGaInPを用いると、硫酸(H₂SO₄)系のエッチャントにより埋込み層12のみを選択的にエッチングすることが可能となる。なお、埋込み層12と、半導体基板1とに対して選択性を有しているものであればドライエッチングをウエットエッチングの代わりに用いるようにしてもよい。

【0070】また、本実施例4においては、基板1の表面の一部に基板1とエッチングレートが異なる埋込み層12を形成して、これに対して選択的なエッチングを行うようにしているため、空洞部6を形成する半導体基板1が、GaAs等の化合物半導体であってもシリコンであつても制御性良く空洞部6を形成することができる。

20

【0071】このように本実施例4においては、基板1の空洞部6を形成する領域をエッチングにより除去し、この領域内に埋込み層を形成しておき、第1の電極2、圧電体薄膜3、及び第2の電極4を形成した後、上記埋込み層12を選択的にエッチングして除去するようにしたから、化合物半導体基板を用いた場合においても、制御性よく基板1をエッチングして、均一な深さを有する所望の形状の空洞部を備えた薄膜圧電素子を得ることができる効果がある。

【0072】実施例5。図7は本発明の実施例5による薄膜圧電素子の製造方法を示す断面工程図であり、図において、図6と同一符号は同一または相当する部分を示しており、13はレジスト、14は半導体基板1に対して、適当なエッチング液を用いたウエットエッチングにより選択的に除去可能な金属、あるいは金属酸化物からなる金属埋込み層で、例えばAlやZn等の両性金属、あるいはこれらの酸化物であるZnO等が用いられる。

【0073】本実施例5の薄膜圧電素子の製造方法は、上記実施例4において説明した薄膜圧電素子の製造方法において、基板1の空洞部6を形成する領域に半導体材料からなる埋込み層を形成しておく代わりに、金属からなる金属埋込み層14を形成しておき、この金属埋込み層14を第1の電極2、圧電体薄膜3、及び第2の電極4を形成した後に選択的にエッチングして空洞部6を形成するようにしたものである。

【0074】次に製造方法について説明する。まず、図7(a)に示すように、基板1の表面に空洞部6を形成する領域上に開口部を有する厚さ約1 μ mのレジスト13を写真製版技術を用いて形成し、このレジスト13をマスクとしてエッチングを行い、空洞部6を形成する領域の基板1を除去して凹部25を形成する。なお、凹部の深さは約0.5 μ mとし、凹部25の底面の形状はできるだけモフォロジーが良好となるようにエッチングを行うようにする。さらに、この基板1の凹部25を埋め込むように、蒸着により金属、あるいは金属酸化物からなる埋込み層14を形成する(図7(b))。この時、レジスト13上にも埋込み層14が形成されるが、この埋込み層14はレジスト13を除去することによりリフトオフされる(図7(c))。なお、本実施例5においてはリフトオフにより埋込み層14を形成しているが、レジスト13の代わりに上記実施例4のように選択成長マスクを形成し、これをマスクとして用いて選択CVD(Cheical Vapor Deposition)により凹部25内のみ埋込み層14を選択的に形成させるようにしてもよい。

【0075】続いて、上記実施例4と同様に、図7(d)に示すようにスパッタ法や、蒸着等により第1の電極2、圧電体薄膜3、及び第2の電極4を順次形成し、次に、図7(e)に示すように、RIE等により、埋込み層14上の第1の電極2により覆われていない領域の絶縁膜5を除去して、開口部5aを形成し、さらに、開口部

21

5 a 内に露出した埋込み層 14 の表面からエッチングを行い、埋込み層 14 を選択的に除去して、空洞部 6 を形成する。

【0076】ここで、本実施例 5 においては、埋込み層 14 として、半導体基板 1 に対して、適当なエッチング液を用いたウエットエッチングにより選択的に除去可能な金属、あるいは金属酸化物を用いているため、埋込み層 14 を基板 1 に対して選択的にエッチングが可能とすることができる。例えば、このような選択エッチングが可能なる材料の組み合わせの一例としては、基板 1 として GaAs を用いている場合、金属埋込み層 14 として Al, Zn 等の両性金属や、その酸化物である ZnO 等を用いると NH₄OH 等の塩基性水溶液で選択的なエッチングが可能となる。

【0077】このように本実施例 5 においては、基板 1 の空洞部 6 を形成する領域をエッチングにより除去し、この領域内に金属埋込み層 14 を形成しておき、第 1 の電極 2、圧電体薄膜 3、及び第 2 の電極 4 を形成した後、上記金属埋込み層 14 を選択的にエッチングして除去するようにしたから、上記実施例 4 と同様の効果を奏する。

【0078】実施例 6. 図 8 は本発明の実施例 6 による薄膜圧電素子の製造方法により製造された薄膜圧電素子の構造を示す平面図 (図 8 (a)), VIII b-VIII b 線による断面図 (図 8 (b)), 及び VIII c-VIII c 線による断面図 (図 8 (c)) である。図において、図 1 と同一符号は同一または相当する部分を示しており、15 は第 2 の電極 4 の表面から、圧電体薄膜 3、第 1 の電極 2、絶縁膜 5 を貫通するように設けられた貫通孔で、例えば、直径が約 1 μ m のものが 10 μ m 間隔で設けられている。

【0079】また、図 9 は実施例 6 による薄膜圧電素子の製造方法を示す断面図であり、図において、図 8 と同一符号は同一または相当する部分を示しており、23 はエッチングを示している。

【0080】次に製造方法について説明する。まず、半導体基板 1 上に、CVD やスパッタ法等により絶縁膜 5 を形成した後、該絶縁膜 5 上の所定の領域に蒸着、あるいはスパッタ法により第 1 の電極 2 を形成し、さらに、同様に蒸着あるいはスパッタ法により圧電体薄膜 3、第 2 の電極 4 を第 1 の電極 2 上に順次成膜する (図 8 (a))。

【0081】続いて、基板 1 の上部の全面にレジスト (図示せず) を形成し、写真製版技術を用いて第 2 の電極 4 上の所定の領域に直径 1 μ m 程度の複数の開口部を形成する。つぎに、このレジストをマスクとして、第 2 の電極 4 をドライエッチングし、続いて圧電体薄膜 3 を塩酸系のエッチャントを用いてエッチングし、第 1 の電極 2 をドライエッチングし、RIE 等により絶縁膜 5 を除去して貫通孔 15 を形成する。さらに、上記レジストを除去した後、再びレジスト (図示せず) を形成し、こ

22

れをマスクとして用いて、RIE 等により第 1 の電極 2 の近傍の絶縁膜 5 を除去して開口部 5 a を形成する。なお、この開口部 5 a は第 1 の電極 2 を形成する工程の前に予め形成しておくようにしてもよい。

【0082】続いて、絶縁膜 5 の開口部 5 a、及び貫通孔 15 を通じて第 1 の電極 2 の下部の領域の基板 1 の表面をエッチング 23 して空洞部 6 を形成して薄膜圧電素子を得る (図 9 (c))。なお、このエッチングとしては基板 1 が GaAs からなる場合においては例えば酒石酸と過酸化水素との混合液を用いたウエットエッチングが用いられる。

【0083】本実施例 6 の薄膜圧電素子の製造方法においては、第 2 の電極 4 の下部領域の近傍に空洞部 6 を形成する際のエッチングを、上記図 13 に示した従来の薄膜圧電素子の製造方法と同様に、第 1 の電極 2 の近傍の絶縁膜 5 に設けられた開口部 5 a を通じて行うとともに、第 2 の電極 4 が形成されている領域内に設けられた貫通孔 15 を通じて行っているため、従来のように第 1 の電極 2 の近傍の開口部 5 a のみから基板 1 に対してエッチングを行い、基板 1 を、該基板 1 の表面と平行な横方向へのサイドエッチングすることにより空洞部 6 を形成する方法よりも、より短時間で空洞部 6 を形成することができる。

【0084】また、基板 1 の表面を複数の貫通孔 15 を通じてエッチングするため、エッチング深さの第 1 の電極 2 の下部領域内における位置によるばらつきが少なく、均一な深さの空洞部 6 を得ることができる。

【0085】さらに、従来の製造方法においては、空洞部 6 を形成する際のエッチングの際に、第 1 の電極 2 の存在する領域の下部方向以外の方向にもサイドエッチングが進行するため、空洞部 6 の基板 1 の表面と平行な方向、即ち横方向の大きさの制御が困難であり、この大きさが大きくなってしまい、薄膜圧電素子の近傍に薄膜圧電素子以外の他の素子を形成することに困難を生じる事があったが、本実施例 6 においては、エッチング時間が短くてすみ、開口部 5 a からのサイドエッチング量を減らして空洞部の基板 1 と平行な横方向における大きさの制御性を向上させ、空洞部 6 の基板 1 の横方向における大きさを小さくすることができる。

【0086】なお、薄膜圧電素子の共振周波数は圧電体薄膜厚に依存しており、第 2 の電極 4 と圧電体薄膜 3 と第 1 の電極 2 とが重なっている領域の面積にはあまり依存しないので、圧電体薄膜に貫通孔 15 を設けても所望の特性を備えた薄膜圧電素子を得ることができる。

【0087】このように本実施例 6 によれば、半導体基板 1 上に絶縁膜 5 を形成し、該絶縁膜 5 上の所定の領域に第 1 の電極 2、圧電体薄膜 3、第 2 の電極 4 を形成し、これらの第 2 の電極 4 と圧電体薄膜 3 と第 1 の電極 2 と絶縁膜 5 とを貫通する複数の貫通孔 15 を設け、この貫通孔 15 を通じて基板 1 をエッチングするようにし

23

たから、短時間で深さが均一である空洞部を得ることができるとともに、基板の表面と平行な方向における大きさの小さい空洞部を備えた薄膜圧電素子を得ることができる。

【0088】なお、本実施例6においては、絶縁膜5に開口部5aを設けた場合について説明しているが、この開口部5aを設けずに、貫通孔15を通じてのエッチングのみにより空洞部を形成するようにしてもよく、このような場合においても上記実施例6と同様の効果を得ることができる。

【0089】また、本実施例6においては、貫通孔15として直径が約 $1\mu\text{m}$ の穴を約 $10\mu\text{m}$ 間隔で設けるようにしたが、本発明においては、この貫通孔の直径や、配置する位置や、配置数については、十分なエッチングの速さが得られるとともに、できるだけ均一な深さの空洞部6の形状が得られるようなものであればどのようなものであってもよい。

【0090】実施例7. 図10は本実施例7の薄膜圧電素子の製造方法を示す図であり、図において図2と同一符号は同一または相当する部分を示しており、5b、5cは絶縁膜5に設けられた開口部、24はレジストである。

【0091】また、図11は本実施例7の薄膜圧電素子の製造方法における主要工程を示す平面図であり、図において、図10と同一符号は同一又は相当する部分を示している。

【0092】次に、製造方法について説明する。まず、半導体基板1上にCVDやスパッタ法により絶縁膜5を形成する。次に、該絶縁膜5上の所定の領域に蒸着、あるいはスパッタ法により第1の電極2を形成し、さらに、同様に蒸着あるいはスパッタ法により圧電体薄膜3、第2の電極4を第1の電極2上に順次成膜する(図10(a))。

【0093】その後、絶縁膜5、第1の電極2、圧電体薄膜3、及び第2の電極4の上部をレジスト(図示せず)で覆い、写真製版技術を用いて、第1の電極2に隣接する互いに対向する2か所の領域に開口部を設け、該レジストをマスクとして絶縁膜5をRIE等により除去して第1の電極2を介して対向する2つの開口部5b、5cを設ける(図10(b)、図11(a))。

【0094】続いて、上記レジストを除去した後、再度、上記2つの開口部5b、5cのうちの一方、例えば開口部5cをふさぐようにレジスト24を形成し(図10(c)、図11(b))、上記開口部5bから半導体基板1をエッチングして空洞部6を形成する(図10(d))。このとき、レジスト24を除去して、開口部5c内の基板1にエッチングが到達しているか否かを検出して、空洞部6の完成を確認する(図10(e))。即ち、空洞部6が完成していれば、空洞部6が開口部5c内に検出でき、未完成であれば、開口部5c内には検出されない。

24

【0095】図13に示すような従来の薄膜圧電素子の製造方法においては、絶縁膜5の開口部5aから一斉に基板1をエッチングしていたため、エッチングの終端が第1の電極2の下部に位置するため、空洞部6が完全に形成されたか否かを確認することが困難であるという問題があった。しかしながら、本実施例7によれば、第1の電極2を介して対向する2つの開口部5b、5cを設けるとともに、その一方の開口部5cをレジスト24でふさぎ、残る他方の開口部5bからのみエッチングを行うため、エッチングの終端がレジスト24でふさいだ開口部5cに達することを検出することにより、第1の電極2の下部に空洞部6が完全に形成されたことを確認できる。

【0096】このように、本実施例7によれば、半導体基板1上に絶縁膜5を形成し、該絶縁膜5上の所定の領域に第1の電極2、圧電体薄膜3、第2の電極4を形成したあと、絶縁膜5に第1の電極2を介して対向する2つの開口部5b、5cを設けるとともに、その一方の開口部5cをレジスト24でふさぎ、残る他方の開口部5bからのみ基板1のエッチングを行い、エッチング終了後に上記レジスト24を除去して該レジスト24でふさがれていた開口部5c内においてエッチングの終端を検出するようにしたから、空洞部6の形成を容易に確認することができる効果がある。

【0097】なお、本実施例7においては、選択性のないエッチングを行い空洞部6を形成する場合について説明したが、本発明は、上記実施例2ないし5のように、選択性を有するエッチングにより空洞部6を形成する場合においても適用できるものであり、このような場合においても上記実施例7と同様の効果を奏する。

【0098】また、本実施例7において、絶縁膜5に2つの開口部5b、5cを設けた場合について説明したが、本発明は、上記実施例6のように、複数の貫通孔15を設けた場合においても適用できるものであり、このような場合においては、貫通孔あるいは絶縁膜の開口部うち、隣接する貫通孔あるいは絶縁膜の開口部との間の距離が最も離れている貫通孔、あるいは開口部をレジストでふさいで、空洞部を形成するためのエッチングを行い、エッチング後、上記レジストでふさいだ貫通孔あるいは開口部内においてエッチングの終端を検出することにより、上記実施例7と同様の効果を奏する。

【0099】なお、上記実施例2～7においては、半導体基板上に絶縁膜を備えた構造の薄膜圧電素子の製造方法について説明したが、本発明はこの絶縁膜を有さない構造の薄膜圧電素子にも適用できるものであり、このような場合においては、空洞部を形成する際のエッチングの際に、必要に応じてレジストや絶縁膜等のエッチングマスクを半導体基板上に設けてやるようにすることにより、上記実施例2～7と同様の効果を奏する。

【図面の簡単な説明】

25

【図 1】 この発明の実施例 1 による薄膜圧電素子の構造を示す図である。

【図 2】 この発明の実施例 1 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 3】 この発明の実施例 2 による薄膜圧電素子の構造を示す図である。

【図 4】 この発明の実施例 2 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 5】 この発明の実施例 3 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 6】 この発明の実施例 4 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 7】 この発明の実施例 5 による薄膜圧電素子の製造方法を示す断面工程図である。

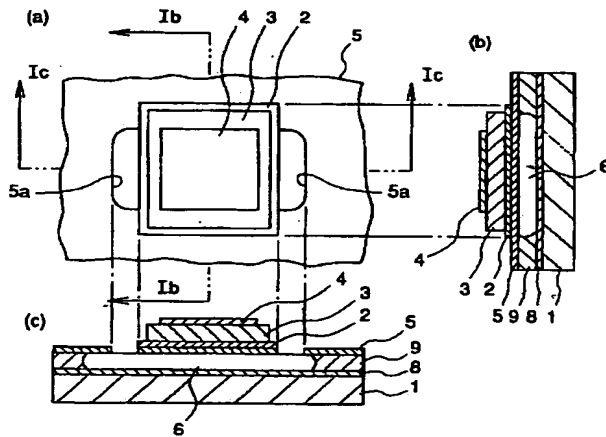
【図 8】 この発明の実施例 6 による薄膜圧電素子の構造を示す図である。

【図 9】 この発明の実施例 6 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 10】 この発明の実施例 7 による薄膜圧電素子の製造方法を示す断面工程図である。

【図 11】 この発明の実施例 7 による薄膜圧電素子の *

【図 1】



- 1: 半導体基板
- 2: 第1の電極
- 3: 圧電体薄膜
- 4: 第2の電極
- 5: 絶縁膜
- 5a: 開口部
- 6: 空洞部
- 8: エッチングストップパ層
- 9: 第1の半導体層

26

*製造方法の主要な工程を示す平面図である。

【図 12】 従来の薄膜圧電素子の構造を示す断面図である。

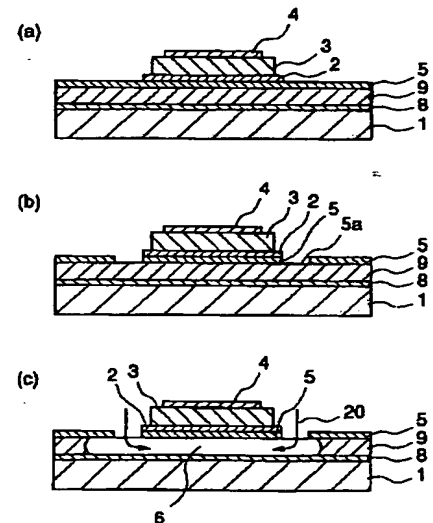
【図 13】 従来の他の薄膜圧電素子の構造を示す図である。

【図 14】 従来の他の薄膜圧電素子の製造方法を示す断面工程図である。

【符号の説明】

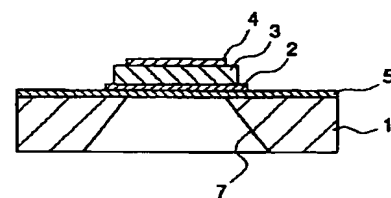
- 1 半導体基板、2, 105 第1の電極、3 圧電体薄膜、4, 107 第2の電極、5 絶縁膜、5a, 5b, 5c 開口部、6, 108 空洞部、7 バイアホール、8 エッチングストップパ層、9 第1の半導体層、10 イオン注入領域、11 拡散領域、12 埋込み層、13, 24 レジスト、14 埋込み層、15 貫通孔、16 拡散マスク、17 選択成長マスク、20, 23 エッチング、21 イオン注入、22 拡散、25 凹部、101 シリコン基板、102, 104 シリコン窒化膜、103 多孔質シリコン層、103a 二酸化シリコン、104a 開口部、106 圧電体薄膜。

【図 2】

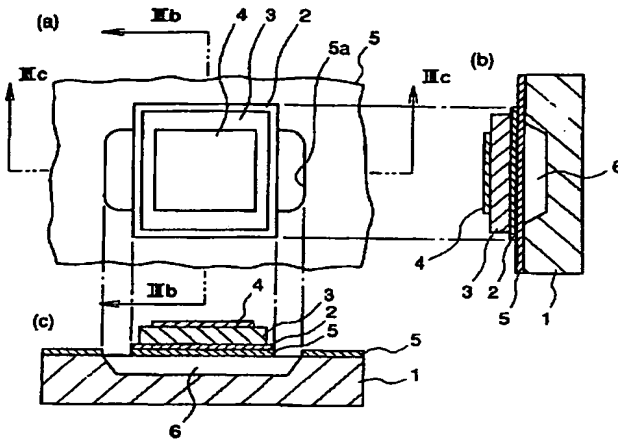


20: エッチング

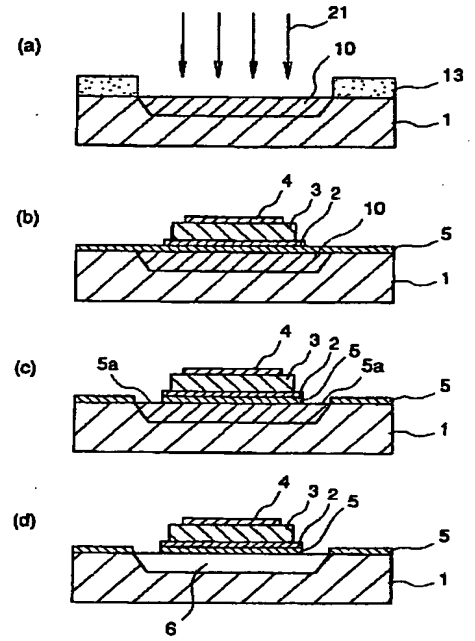
【図 12】



【図 3】

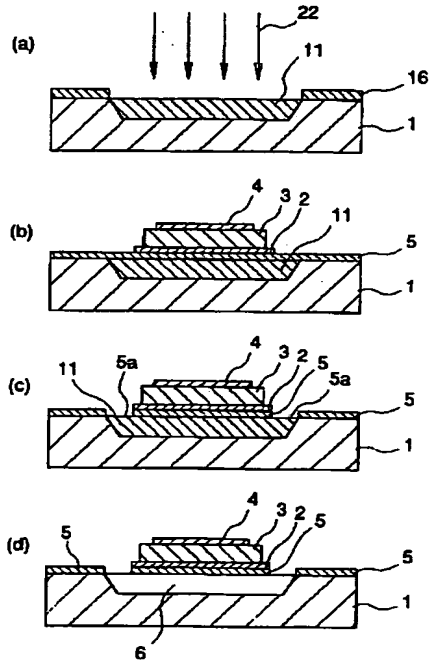


【図 4】



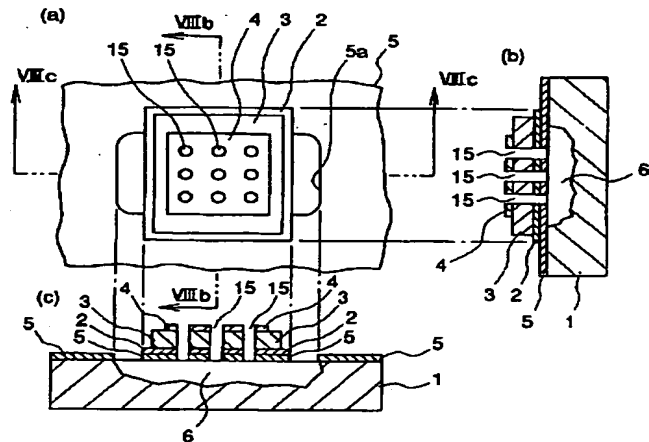
10: イオン注入領域
13: レジスト
21: イオン注入

【図 5】



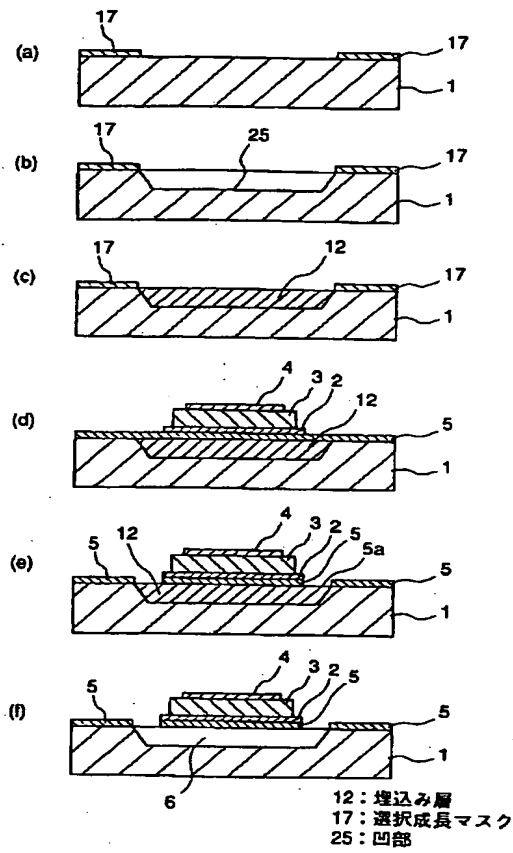
11: 拡散領域
16: 拡散マスク
22: 拡散

【図 8】

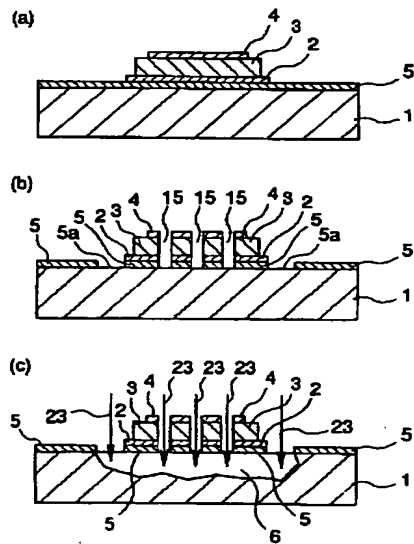


15: 貫通孔

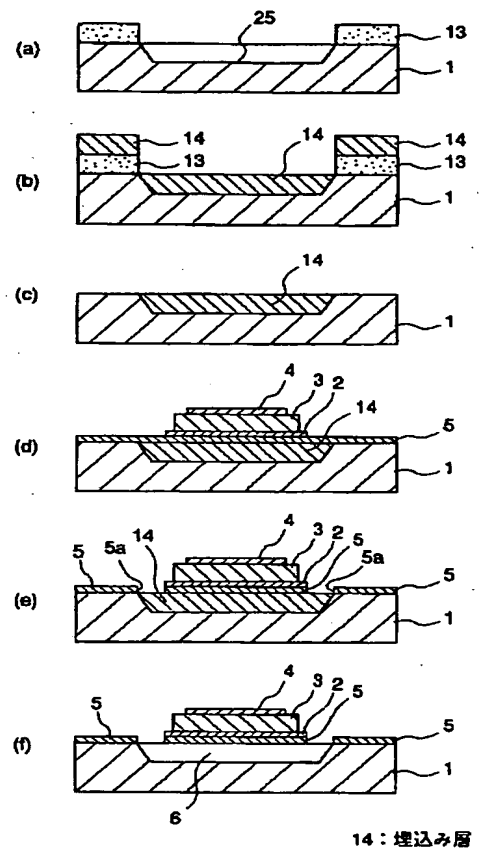
【図6】



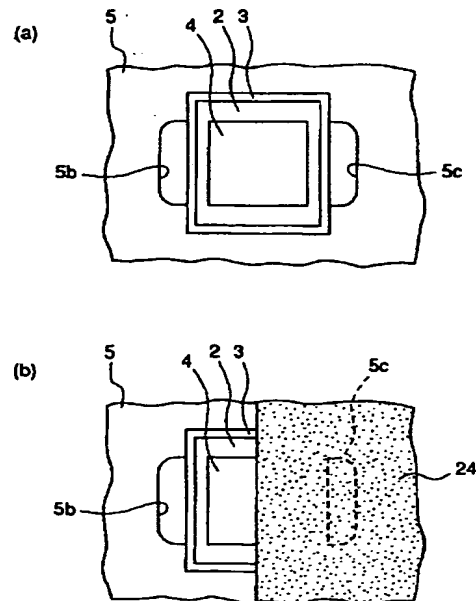
【図9】



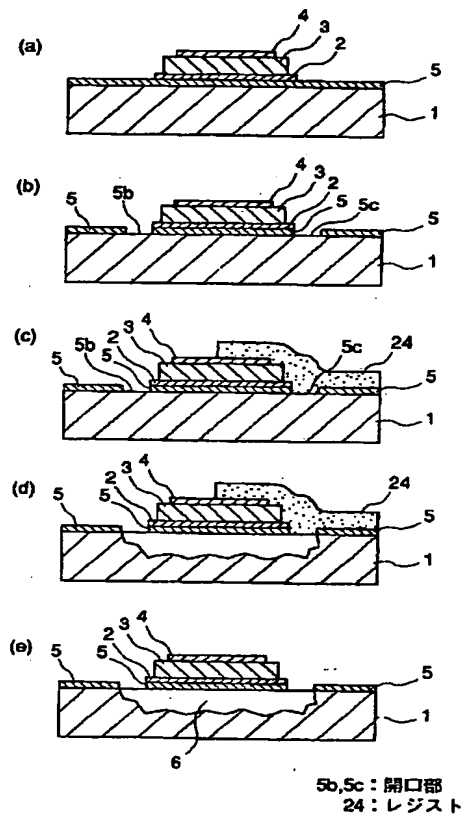
【図7】



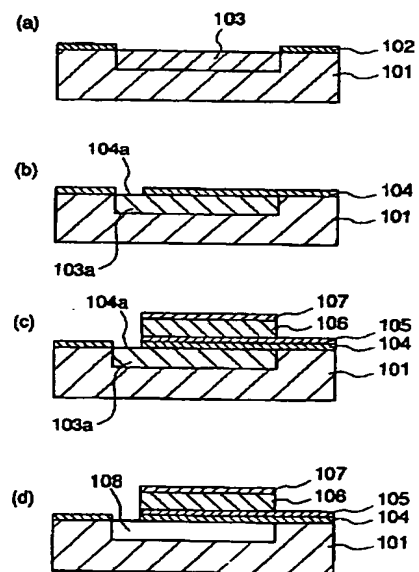
【図11】



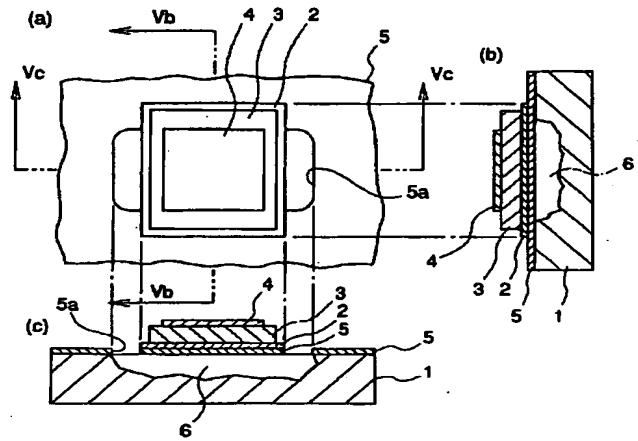
【図10】



【図14】



【図13】



フロントページの続き

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	41/22		H 0 1 L 41/18	1 0 1 C
H 0 3 H	9/17		41/22	Z

(72) 発明者	佐藤 和彦	(72) 発明者	工藤 昭吉
	東京都千代田区丸の内二丁目 2 番 3 号 三		東京都千代田区丸の内二丁目 2 番 3 号 三
	菱電機株式会社内		菱電機株式会社内